

PAT-NO: JP406216532A

DOCUMENT-IDENTIFIER: JP 06216532 A

TITLE: MULTILAYER BOARD WITH BUILT-IN ELEMENT

PUBN-DATE: August 5, 1994

INVENTOR-INFORMATION:

NAME

SEGAWA, MASAO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP05005749

APPL-DATE: January 18, 1993

INT-CL (IPC): H05K003/46, H05K001/14

US-CL-CURRENT: 29/832

ABSTRACT:

PURPOSE: To provide an element built-in multilayer board with high density in packing and good characteristics in the element.

CONSTITUTION: A thick-film circuit board 14 made up of a circuit element on a ceramic board 11 is bonded to a flexible board 15, on which at least a circuit wiring pattern is provided. In this case, the circuit element of the thick-film circuit board 14 is provided oppositely to the flexible board 15, and these boards are bonded by use of a minute bump 16.

COPYRIGHT: (C)1994,JPO&Japio

DERWENT-ACC-NO: 1994-289113

DERWENT-WEEK: 199436

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Multi-layer wafer for imaging apparatus - joins thick  
film circuit wafer and flexible wafer using bump in  
junction between both wafers

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1993JP-0005749 (January 18, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<u>JP 06216532 A</u>	August 5, 1994	N/A	004	H05K 003/46

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
--------	-----------------	---------	-----------

INT-CL (IPC): H05K001/14, H05K003/46

ABSTRACTED-PUB-NO: JP 06216532A

BASIC-ABSTRACT:

The wafer consists of ceramic wafer (11) on which circuit elements like resistors, electrostatic capacitors etc., are formed using thick film circuit wafer (14). A flexible wafer (15) is used to form a circuit wiring pattern.

The circuit elements are connected to the wiring pattern by a high pitch bump (16) thicker than the film elements formed on the confrontation face of thick film circuit wafer and flexible wafer.

ADVANTAGE - Allows formation of multi-layer wafer with high packing density elements, reduces use of film elements and other circuit wafers and improves element characteristics.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: MULTI LAYER WAFER IMAGE APPARATUS JOIN THICK  
FILM CIRCUIT WAFER

FLEXIBLE WAFER BUMP JUNCTION WAFER

DERWENT-CLASS: U14 V04 W04

EPI-CODES: U14-H03B2; V04-Q02B; V04-R05A; W04-M01B; W04-M01G1B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-227838

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-216532

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	L	6921-4E		
	Q	6921-4E		
1/14	C	7047-4E		

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21)出願番号 特願平5-5749

(22)出願日 平成5年(1993)1月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 瀬川 雅雄

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝映像メディア技術研究所内

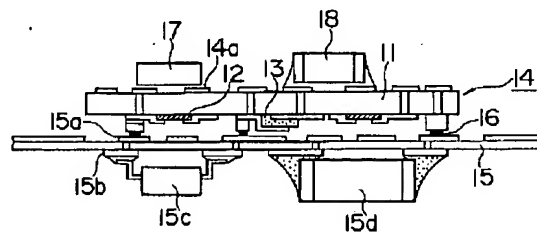
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 素子内蔵多層基板

(57)【要約】

【目的】 素子特性に優れ、実装密度の高い、素子の内蔵された多層基板の実現を可能とする。

【構成】 セラミック基板11に回路素子形成された厚膜回路基板14と少なくとも回路配線パターンが形成されたフレキシブル基板15を接合するにあたり、回路素子は少なくとも厚膜回路基板14とフレキシブル基板15の対抗面に配置し、さらに微小バンプ16を用いて両基板間の接合を行う。



## 【特許請求の範囲】

【請求項1】 抵抗体やコンデンサなどを膜素子で構成してなる第1の配線基板と少なくとも回路配線パターンで構成される第2の配線基板とを接合して構成される複合回路基板において、

少なくとも前記膜素子は、前記第1および第2の配線基板との対抗面に配置し、前記膜素子の厚みより高い高さのバンパを用い、前記第1および第2の配線基板間を接合してなることを特徴とする素子内蔵多層基板。

【請求項2】 抵抗体やコンデンサなどを膜素子で構成してなる第1の配線基板と少なくとも回路配線パターンで構成される第2の配線基板とを接合して構成される複合回路基板において、

少なくとも前記膜素子は、前記第1および第2の配線基板との対抗面に配置し、前記膜素子の厚みより前記第1および第2の配線基板の間隔を開けた状態で、前記第1配線基板の外周部に形成された接続端子と該接続端子に対向して前記第2の配線基板に形成された接続端子とを半田付けにより接合してなることを特徴とする素子内蔵多層基板。

【請求項3】 絶縁基板と、前記絶縁基板上に固着された抵抗体やコンデンサなどを形成した膜素子と、

前記膜素子にその一部を重ねて前記絶縁基板に固着した配線層と、

前記配線層の前記膜素子と重なった部分と他の絶縁基板の配線層とを接続する手段とからなることを特徴とする素子内蔵多層基板。

【請求項4】 前記配線層の前記膜素子と重なった部分に半導体素子のリード部を接続してなることを特徴とする請求項3記載の素子内蔵多層基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、少なくとも一方の基板に膜素子を用いて構成された回路基板と他の回路基板とを対向して接合した素子内蔵多層基板に関する。

## 【0002】

【従来の技術】近年、映像機器の小形化の進展に伴い、高密度実装の要求が一層強くなっている。なかでも、撮像素子にCCDを用いたカメラの小形化が進み、φ10mm以下の超小型カメラの実現のためには、多層基板内に抵抗体やコンデンサなどの受動素子が内蔵された素子内蔵基板とベアチップとの実装が必須条件である。

【0003】図6は従来の素子内蔵基板の構造を示したものである。1a~1cは焼成前のセラミック絶縁基板（生基板）であり、これら絶縁基板1a~1cは、絶縁基板1bに厚膜抵抗体2を、絶縁基板1cに厚膜コンデンサ3をスクリーン印刷法で形成した後に積層し、850~1000℃で各層一括して焼成することで素子内蔵基板1を形成する。

【0004】絶縁基板1a~1cは、各層の配線パターンとの接続のため、ビヤホール4a~4cを形成してある。また、外部接続用の電子部品は、IC5を絶縁基板1aの配線パターン上にベアチップ実装し、膜化の困難な調整用抵抗体6や大容量コンデンサ、トランジスタなどを半田付けなどで実装する。また外部接続用のつなぎ基板として、フレキシブル基板7などを半田付けなどにより素子内蔵基板1の外縁部に接続する。

【0005】しかしながら、素子を印刷済みの絶縁基板1a~1cを複数枚積層し、焼成して形成される膜素子は、抵抗値やコンデンサ容量の調整が困難なため、抵抗値や容量値精度が±20%程度と粗く、所望の回路特性が得にくい。従って、±5%以下の高精度を要するものは、外付け部品で対応するなどの対策が必要で、高密度化を疎外する要因となっている。また、歩留まりも低く基板としては高価であった。

【0006】さらには、素子内蔵基板1を外部接続用に延出するために、フレキシブル基板7などの接続などの後工程が必要となり、製造工程が複雑であり、多層基板に内蔵する素子が高精度で形成でき、より簡便な製造方法でかつ高密度実装を可能とする、新しい実装法が望まれていた。

## 【0007】

【発明が解決しようとする課題】上記した従来の素子内蔵多層基板では、膜素子により形成された抵抗値や容量値精度が粗く、その対策のためには、外付け部品で対応することが必要となり、高密度化を疎外する要因となるなどの問題を抱えていた。この発明は、素子の優れた特性・精度を有し、簡便な方法でかつより高密度な実装方法で製造できる、素子内蔵多層基板を提供するものである。

## 【0008】

【課題を解決するための手段】上記課題を解決するためにこの発明では、抵抗体やコンデンサなどを膜素子で構成してなる第1の配線基板と少なくとも回路配線パターンで構成される第2の配線基板とを接合して構成される複合回路基板において、少なくとも前記膜素子は、前記第1および第2の配線基板との対抗面に配置し、前記膜素子の厚みより高い高さのバンパを用い、前記第1および第2の配線基板間を接合してなることを特徴とする。

## 【0009】

【作用】上記手段により、高精度な膜素子が形成済みのセラミック基板と多層基板の複合基板が実現し、さらに簡便な製造プロセスで高密度実装を実現できる。

## 【0010】

【実施例】以下、この発明の実施例を図面を参照して詳細に説明する。図1はこの発明の一実施例である。図1において、セラミックなどの絶縁基板11の裏面に、酸化ルテニウム系の厚膜抵抗体12と酸化チタン系などの厚膜コンデンサ素子13をスクリーン印刷法を用いて形

成する。次に、これを850℃～900℃程度の焼成温度により焼成し、厚膜回路基板14を形成する。この厚膜回路基板14は、一般のハイブリッドICと同様の製造プロセスで形成するため、厚膜抵抗体12はレーザートリミングによる調整済みの抵抗値であり、抵抗値精度は±2%が可能である。外部接続用の電子部品は、IC17を厚膜回路基板14の配線パターン14a上に例えばフリップチップ実装し、膜化の困難な調整用抵抗体18や大容量コンデンサ、トランジスタなどを、配線パターン14aに半田付けなどで実装する。

【0011】つぎに、外部接続用を兼ねる、一方の面に配線パターン15aが、他方の面にチップ部品などが接続した配線パターン15bが形成された両面のフレキシブル基板15の配線パターン15aと厚膜回路基板14を微小の半田バンパ16を用いて接合する。

【0012】この実施例の回路基板は、最大サイズが20mm角程度であり、セラミック基板の反りが10μm以下程度だと、後述の微小バンパが実現可能となる。微小バンパ形成は、金バンパや半田バンパなどの細線ワイヤをワイヤボンディング法を用いて形成するボールバンパ法、また銀ペーストなどの導電ペーストをスクリーン印刷法を用いて形成する印刷バンパ法を挙げることができる。また補助接続手段としては、異方性導電膜(ACF)や光硬化性樹脂などがあり、バンパ形成後の基板間の補強としては、樹脂封止などの手段がある。いずれも、厚膜基板をあたかもベアチップと想定して、バンパ形成と基板接続を行う手段を応用するものである。バンパは、ベアチップ実装に実績のある、φ100μm程度のものを形成し、高密度接続手段として最適である。またこのバンパは、金や銅などの厚膜配線層上に直接形成

【0013】つぎに図2を用いて、図1をさらに説明する。図2(a)は、バンパ接続部分の拡大平面図、図2(b)は(a)の断面図である。上層側に位置する厚膜回路基板14の裏面には、厚さ15μm程度の厚膜抵抗体12の電極から、パターン幅が150μm程度の金厚膜配線21を延出する。その先端には、径がφ100μm程度で、高さが100μm程度の半田バンパ16をバンパ法により形成する。ワイヤはφ30μmの錫ワイヤを使用する。バンパ高さは、厚膜抵抗体12の厚みより高く設定するのが望ましい。

【0014】つぎに、下層側に位置するフレキシブル基板15は35μm程度の銅配線層に金メッキを施し、バンパ16が形成済みの厚膜回路基板14を150℃程度で熱圧着することで、両基板14、15の接合を行う。フレキシブル基板15上の接続部パターン15aは、幅100μmの信号ライン上に直接接続でき、余分な接続ランドを設けることが不要で、高密度設計に大きく寄与するものである。

【0015】つぎに、図1において、厚膜回路基板14

と接合済みのフレキシブル基板15の表裏に、外付けのモノリシックIC15c、回路定数調整用抵抗15d、大容量コンデンサなどを実装する。このとき、接合済みの基板が接合不良を起こさないように、低温半田や導電性樹脂ペーストなどを用いて低温での実装を行うなどの製造プロセスの選択が必要である。

【0016】このようにして形成した素子内蔵複合基板は、複合基板の一部を構成する、基板と一体となった外部接続用のフレキシブル基板15が延出されており、つなぎ基板が不要であるという特徴も有している。また、異種基板の接合による、熱膨張係数の違いから生ずる熱ストレスに対しては、適切な樹脂封止による補強を施すことで、実用レベルの信頼性を確保することができる。

【0017】この発明の他の実施例を図3を用いて説明する。この実施例は厚膜回路基板14とフレキシブル基板15の接合部分が図1の実施例と異なる。すなわち、この実施例のフレキシブル基板15と厚膜回路基板14の接続は、厚膜回路基板14の外周に形成された接続端子21とこれと対向する位置に形成された接続端子22を、狭ピッチ半田付け部23による半田付け接合してなる。この実施例では、図1の微小バンパ16での接続に対し、半田の接合面積が大きくなることから実装密度は低下するものの、0.5mmピッチ程度の半田付けは可能で、中程度の実装としては実現性が高いと言える。

【0018】上記した実施例では、厚膜回路基板14とフレキシブル基板15との接合について説明したがこれに限らず、たとえばセラミック系厚膜基板と樹脂系プリント基板の組み合わせも有効であるばかりか、セラミック系厚膜基板同士や樹脂系プリント基板同士の接合も可能であり、用途に合わせてその選択は任意に可能である。

【0019】図4を用い、この発明の第2の他の実施例について説明する。絶縁基板41に形成された抵抗やコンデンサなどの厚膜素子42に対し、厚膜素子42に重ねて接続された電極部43aと絶縁基板41に固着された配線部43bとからなる配線層43を接続する。絶縁基板41と対向配置された絶縁基板44には配線層45を固着している。配線層43の電極部43aと配線層45との電気的な接続は、微小バンパ46を用いて半田付けする。

【0020】この実施例では、電極部43aと相手側の配線層45を接続する構成となっているために、絶縁基板41と絶縁基板44とともに接続にあたっての占有面積を極力抑え、実装密度の向上を図ることができる。

【0021】図5はこの発明の第3の他の実施例を示すものである。この実施例は接続リード51などを有するたとえばIC52を、絶縁基板53に形成された厚膜素子54に接続するときに、厚膜素子54の配線層55の厚膜素子54に重なる電極部55aとをボールバンパ56を用いて接続したものである。



5

【0022】この実施例によると、IC52の接続リード51を絶縁基板53の配線層55に接続するにあたり、電極部55a上にボールバンプ法により接続しているために、その接続に要する占有面積を抑えることができることから、実装密度の向上を図ることができる。

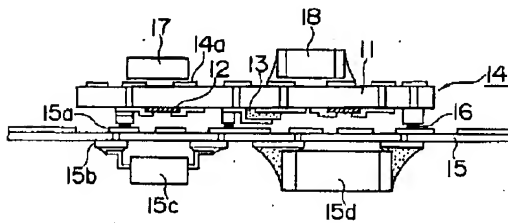
【0023】

【発明の効果】以上記載したように、この発明の素子内蔵多層基板によれば、簡便な実装方法により、素子特性の優れた実装密度の高い、素子の内蔵された多層基板の実現が可能となる。

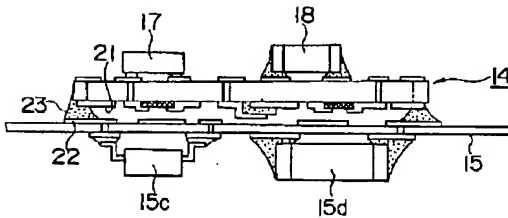
【図面の簡単な説明】

【図1】この発明の一実施例を示す断面図。

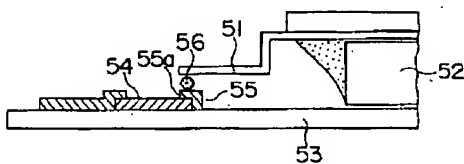
【図1】



【図3】



【図5】



6

【図2】図1の接続状態を説明するための説明図。

【図3】この発明の第1の他の実施例を説明するための断面図。

【図4】この発明の第2の他の実施例を説明するための断面図。

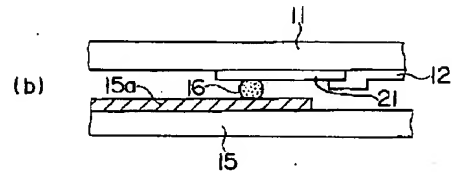
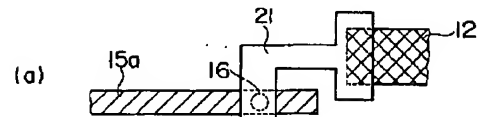
【図5】この発明の第3の他の実施例を説明するための断面図。

【図6】従来の素子内蔵多層基板を説明するための断面図。

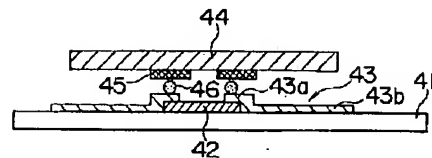
10 【符号の説明】

14…厚膜回路基板、15…フレキシブル基板、16…バンプ、23…半田付け部。

【図2】



【図4】



【図6】

